

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SUPER LUMINESCENT DIODE

Patent Number: JP6097496
Publication date: 1994-04-08
Inventor(s): MUSHIGAMI MASAHIITO; others: 02
Applicant(s): ROHM CO LTD
Requested Patent: ☐ JP6097496
Application Number: JP19920244663 19920914
Priority Number(s):
IPC Classification: H01L33/00
EC Classification:
Equivalents: JP2784298B2

Abstract

PURPOSE: To provide a super luminescent diode which allows the same or higher performance compared with the conventional super luminescent diode with shorter element length, smaller area and excellent manufacturing reproducibility.

CONSTITUTION: On a semiconductor substrate 1 of one conductivity type, a bottom clad layer 2 and an activating layer 3 of the same conductivity type as the substrate and top clad layers 4 and 7 of the opposite conductivity type are formed and a super luminescent diode is constituted. In the top clad layers 4 and 7, a current blocking layer 5, which has the same conductivity type as the substrate 1, has the same or smaller band gap energy compared with the activating layer 3 with the same or larger refraction factor compared with the activating layer, is provided. A step is provided on the semiconductor substrate 1 in a current non-injecting area 13.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-97496

(43)公開日 平成6年(1994)4月8日

(51)IntCl⁴

H01L 33/00

識別記号

庁内整理番号

A 7514-4M

FI

技術表示箇所

審査請求 未請求 請求項の数5(全6頁)

(21)出願番号 特願平4-244663

(22)出願日 平成4年(1992)9月14日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 虫上 雅人

京都市右京区西院溝崎町21番地 ローム株式会社内

(72)発明者 山内 達夫

京都市右京区西院溝崎町21番地 ローム株式会社内

(72)発明者 尺田 幸男

京都市右京区西院溝崎町21番地 ローム株式会社内

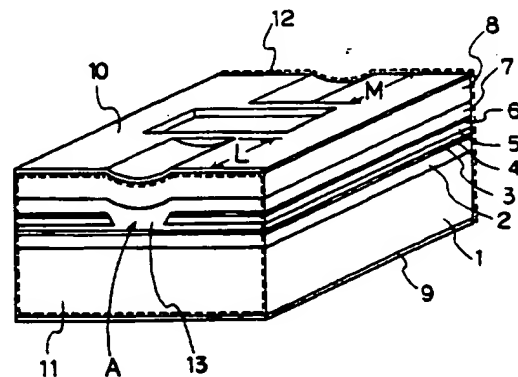
(74)代理人 弁理士 朝日奈 宗太 (外2名)

(54)【発明の名称】 スーパールミネッセントダイオード

(57)【要約】

【目的】 従来のスーパールミネッセントダイオードと同等以上の性能を有するにもかかわらず素子長さが短かく、かつ、面積が小さく、また製作の再現性に優れたスーパールミネッセントダイオードを提供する。

【構成】 一導電型の半導体基板1上に、該基板と同じ導電型の下部クラッド層2、活性層3、および前記基板と反対の導電型の上部クラッド層4、7が形成されたスーパールミネッセントダイオードで、前記上部クラッド層中に、前記基板と同じ導電型であり、バンドギャップエネルギーが前記活性層と等しいかまたは前記活性層よりも小さく、かつ、屈折率が前記活性層と等しいかまたは前記活性層よりも大きい電流ブロッキング層5が設けられている。電流非注入領域13における前記半導体基板には段差が設けられている。



1 半導体基板

2 下部クラッド層

3 活性層

4 上部第1クラッド層

5 電流ブロッキング層

7 上部第2クラッド層

13 電流注入領域

【特許請求の範囲】

【請求項1】 一導電型の半導体基板上に、該基板と同じ導電型の下部クラッド層、活性層、および前記基板と反対の導電型の上部クラッド層が形成されたスーパーミネッセントダイオードであって、

前記上部クラッド層中に、前記基板と同じ導電型であり、バンドギャップエネルギーが前記活性層と等しいかまたは前記活性層よりも小さく、かつ、屈折率が前記活性層と等しいかまたは前記活性層よりも大きい電流ブロッキング層が、ストライプ状の電流注入領域を除いて設けられており、

前記ストライプ状の電流注入領域を遮断している電流非注入領域における前記半導体基板に段差が設けられてなることを特徴とするスーパーミネッセントダイオード。

【請求項2】 前記電流注入領域での段差が、前記活性層と電流ブロッキング層とのあいだの距離にほぼ等しい請求項1記載のスーパーミネッセントダイオード。

【請求項3】 前記電流注入領域が両端面に露出するように形成され、そのあいだに電流非注入領域が形成されてなる請求項1記載のスーパーミネッセントダイオード。

【請求項4】 前記電流非注入領域での段差の数が複数である請求項1記載のスーパーミネッセントダイオード。

【請求項5】 前記電流ブロッキング層と活性層との距離が $0.2 \sim 0.5 \mu\text{m}$ であり、電流ブロッキング層と活性層とのあいだの上部クラッド層の比抵抗が $0.01 \sim 0.5 \Omega \cdot \text{cm}$ である請求項1記載のスーパーミネッセントダイオード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はスーパーミネッセントダイオード（以下、SLDという）に関する。さらに詳しくは、光ファイバジャイロ、光センサ、光ディスクなどの光源として有用なインコヒーレント光を、大きな強度と小さな放射角で放射できるSLDに関する。

【0002】

【従来の技術】 活性層端面から大出力のインコヒーレント光を取り出すSLDでは、ファブリペロ（FP）モードによるレーザ発振を抑圧することが重要あり、従来より、以下のようなSLD素子構造が提案されている。

【0003】 すなわち、（1）両端面に無反射コート（AR（Anti Reflective）コート）30を形成し、反射率を低減することによりFPモードを抑圧する方法（図8参照）、（2）素子の活性層の片側を非励起領域31とし、電流注入領域で発光した光をこの領域で吸収し、等価的に端面の反射率を低下させ、FPモードを抑圧する方法（図9参照）、および（3）曲り導波路32を用い、電流注入領域で発光した光を端面で全反射させ、FPモ

ードを抑圧する方法（図10参照）などが提案されている。

【0004】 なお、図8～10で、33は電流注入領域のストライプ、30は無反射コート、31は非励起領域である。

【0005】

【発明が解決しようとする課題】 しかしながら、端面上にARコートを形成する（1）の方法では、レーザ発振を抑えるに十分な超低反射率のARコートを再現性よく形成する必要があるが、製作が困難であるという問題がある。

【0006】 また、素子の活性層の片側を非励起領域とする（2）の方法では、このような非励起領域には特別な吸収機構がないため、FPモードを十分に抑圧するためには非励起領域を長くしなければならず、素子のサイズ（長さ）が大きくなってしまいう問題がある。

【0007】 さらに、曲り導波路を用いる（3）の方法でも、曲り導波路を形成するため、（2）の方法同様に素子のサイズ（長さ）が大きくなってしまいう問題がある。

【0008】 本発明は、叙上の事情に鑑み、前記従来技術の有する欠点が解消されたSLDを提供することを目的とする。すなわち、本発明の目的は、従来のSLDと同等以上の性能を有するにもかかわらず素子長さが短く、かつ面積が小さく、また製作の再現性に優れたSLDを提供することである。

【0009】

【課題を解決するための手段】 本発明のSLDは、一導電型の半導体基板上に、該基板と同じ導電型の下部クラッド層、活性層および前記基板と反対の導電型の上部クラッド層が形成されたスーパーミネッセントダイオードであって、前記上部クラッド層中に、前記基板と同じ導電型であり、バンドギャップエネルギーが前記活性層と等しいかまたは前記活性層よりも小さく、かつ、屈折率が前記活性層と等しいかまたは前記活性層よりも大きい電流ブロッキング層が、ストライプ状の電流注入領域を除いて設けられており、前記ストライプ状の電流注入領域を遮断している電流非注入領域における前記半導体基板に段差が設けられてなることを特徴としている。

【0010】 本発明のSLDにおいては、前記電流注入領域での段差が、前記活性層と電流ブロッキング層とのあいだの距離にほぼ等しいのが好ましい。

【0011】 また、前記電流注入領域が両端面に露出するように形成され、そのあいだに電流非注入領域が形成されることが好ましい。

【0012】 さらに、前記段差の数は複数であるのが好ましい。

【0013】 また、本発明のSLDにおいては、前記電流ブロッキング層との距離が $0.2 \sim 0.5 \mu\text{m}$ となり、かつ電流ブロッキング層と活性層とのあいだの上部クラッド層の比抵抗が $0.01 \sim 0.5 \Omega \cdot \text{cm}$ となるように形成さ

ていることが好ましい。

【0014】

【作用】本発明のSLDにおいては、電流非注入領域に段差が設けられているため、活性層と電流非注入領域の電流ブロッキング層とがほぼ同じ高さになり、活性層から出た光は、電流ブロッキング層で有効に吸収される。その結果、非励起領域を短くしても光を確実に吸収することができる。

【0015】

【実施例】つぎに添付図面を参照しつつ本発明のSLDを詳細に説明する。図1は本発明のSLDの一実施例の説明図である。

【0016】図1において、1はn-GaAsからなる半導体基板であり、該半導体基板1の表面には0.2～0.5 μmの深さで長方形の段差が形成されている。

【0017】前記半導体基板1上にはn-Al_{0.6}Ga_{0.4}Asからなる厚さ1.0～3.0 μm程度の下部クラッド層2、アンドープAl_{0.05}Ga_{0.95}Asからなる厚さ0.04～0.2 μm程度の活性層3、およびp-Al_{0.6}Ga_{0.4}Asからなる厚さ0.2～0.5 μm程度の上部第1クラッド層4が形成されている。そして、該上部第1クラッド層4上には、さらに、n-GaAsからなる厚さ0.2～1.0 μm程度の電流ブロッキング層5、n-Al_{0.15}Ga_{0.85}Asからなる厚さ0.04～0.2 μm程度の蒸発防止層6、p-Al_{0.6}Ga_{0.4}Asからなる厚さ1.0～3.0 μm程度の上部第2クラッド層7、およびp-GaAsからなる厚さ0.3～5.0 μm程度のキャップ層8が形成されている。この電流ブロッキング層5と活性層3との距離は電流注入部の真下に有効に電流を供給し、無効電流を少なくするため、0.2～0.5 μm程度に形成され、電流ブロッキング層5と活性層3とのあいだの上部クラッド層である上部第1クラッド層4の比抵抗が0.01～0.5 Ω・cmとされるのが好ましい。

【0018】電流ブロッキング層5には、電流注入領域13を形成するストライプが形成され、このストライプは基板表面の段差に現われているように、また図5に平面図が示されるように、チップ全体に形成されるのではなく、発光端面Aから一定の長さLと後端面から一定の長さMだけ形成され、そのあいだに電流ブロッキング層5が残され、電流非注入領域を形成している。本実施例では、この電流非注入領域が形成される部分の半導体基板に段差が形成されており、図6に図5のVⅠ-VⅠ線断面図を示すように、電流注入領域の活性層3の高さと電流非注入領域の電流ブロッキング層5の高さとがほぼ同じ位置に形成されている。また、本実施例におけるストライプの発光端面A側の長さLは100～180 μm、後端面側の長さMは30～100 μmにした。ここでチップの大きさは250 μm×250 μmで、ストライプの幅はJ～20 μm程度であった。

【0019】半導体基板1の表面およびキャップ層8の

表面にはそれぞれAuGeNi/AuおよびTi/Auなどからなるオーミック電極9および10がそれぞれ設けられている。また、図1における前端面Aおよび後端面にはAl₂O₃膜をλ/4の厚さ形成したり、さらにa-Si膜などを多層化して低反射率コーティング膜11、12がそれぞれ設けられている。この低反射率コーティング膜11、12を形成することにより、反射率を30%から4%程度に低下でき、さらに多層化することにより1%以下に低下できる。

【0020】前記電流ブロッキング層5は、前記電流注入領域13を除いて、上部クラッド層中に設けられ、電流注入領域13下の活性層のみで発光させている。この電流ブロッキング層5は、前記半導体基板1と同じ導電型であり、バンドギャップエネルギーが前記活性層3と等しいかまたは活性層3よりも小さく、かつ、屈折率が同じく活性層3と等しいかまたは活性層3よりも大きい。このため、電流注入領域13の下の活性層3で発光して端面Aと反対側に進んだ光は反射することなく、容易に電流ブロッキング層5に入り込む。しかも本発明によれば、電流非注入領域には段差が形成されているため、電流注入領域での活性層3の高さと電流非注入領域での電流ブロッキング層5の高さとがほぼ同じ高さに形成されており、前記活性層3から発光した光を一層有効に吸収することができる。

【0021】つぎに本発明のSLDの製法について、MBE法で作製するばあい为例にとつて図2に基づき説明する。

【0022】まず、n-GaAsからなる半導体基板1に、図3に示されるようなマスクを用いて深さ0.4 μmで長方形にエッチングする。図3で、破線はSLDチップの形状を示す。

【0023】ついで、エッチング処理された半導体基板1の表面に厚さ1.5 μmのn-Al_{0.6}Ga_{0.4}Asからなる下部クラッド層2、厚さ0.08 μmのアンドープAl_{0.05}Ga_{0.95}Asからなる活性層3、厚さ0.4 μmのp-Al_{0.6}Ga_{0.4}Asからなる上部第1クラッド層4、厚さ0.3 μmのn-GaAsからなる電流ブロッキング層5、厚さ0.07 μmのn-Al_{0.15}Ga_{0.85}Asからなる蒸発防止層6および厚さ0.04 μmのアンドープGaAsからなる表面保護層21を順次積層する（図2の(a)参照）。この際、電流ブロッキング層5と活性層3との距離は0.2～0.5 μm程度になるようにする。また、上部第1クラッド層4の比抵抗は0.01～0.5 Ω・cmとなるようにする。

【0024】本発明では電流ブロッキング層5のバンドギャップエネルギーが活性層3のバンドギャップエネルギーと等しいかまたはそれより小さく、かつ、電流ブロッキング層5の屈折率が活性層3の屈折率と等しいかそれよりも大きくなるように形成されている。電流ブロッキング層5や活性層3にAl_{1-x}Ga_xAsを使用すると、

x が小さいときバンドギャップエネルギーは小さく、屈折率は大きく、 x が大きくなるとバンドギャップエネルギーは大きくなり、屈折率は小さくなる。したがって電流ブロッキング層に活性層より x の小さい組成を使用することにより、前述の関係がえられる。

【0025】 つぎに、図4に示されるようなマスクを用い、前述した第1回結晶成長工程で積層したウエハに電流ブロッキング層5に達するストライプ溝（幅約 $6\mu\text{m}$ ）をケミカルエッチングにより形成する（図2の（b）参照）。その際、Alを含むクラッド層が空気中で酸化されるのを防止し、後述の蒸発速度の差を利用して蒸発により除去するため、電流ブロッキング層5のうち下部の $0.1\mu\text{m}$ 程度を残すようにする。このマスクはチップへの切断線を図4に破線で示すように、ストライプ溝の途中で切断する構造にしており、ストライプ溝が両端面に露出するようになっている。その結果、後端面からも発光させることができ、発光量をモニターすることができると共に、ウエハからチップへの切断箇所が少々ずれても常に電流注入領域が端面に露出し、性能的に安定させ易い。

【0026】 つぎに前記ウエハを再びMBE装置内に入れ、GaAsとAlGaAsとの蒸発速度の差を利用して、GaAsだけを選択的に蒸発させる（図2の（c）参照）。この熱エッチング工程の温度は約 760°C で、処理時間は約10分である。そして、GaAsの蒸発速度は 760°C で $1.2\mu\text{m}/\text{h}$ であるのに対し、 $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ の蒸発速度は 760°C で $0.01\mu\text{m}/\text{h}$ 以下であるので、GaAsのみ選択的に蒸発する。この工程により、表面が酸化されていない、きれいなクラッド層が現われる。

【0027】 ついでウエハ温度を 580°C まで下げ、第2回の結晶成長工程により、厚さ $1.2\mu\text{m}$ の $p\text{-Al}_{0.4}\text{Ga}_{0.6}\text{As}$ からなる上部第2クラッド層7および厚さ $1.2\mu\text{m}$ の $p\text{-GaAs}$ からなるキャップ層8を前記ウエハ上に積層する（図2の（d）参照）。

【0028】 以上のように、1回のマスク工程と2回のエビ工程だけでウエハ製造工程が終了する。このようにして製造されたウエハをラッピングにより $n\text{-GaAs}$ 基板1を削り、厚さ $60\mu\text{m}$ 程度にする。そののち、ウエハの下面および上面にそれぞれ AuGeNi/Au および Ti/Au などを蒸着させて、オーミック電極9、10を形成する。さらに、劈開でチップ化を行い、えられたチップの両端面にスパッタ法で Al_2O_3 、 $a\text{-Si}$ からなる低反射率コーティング膜11、12を形成する。

【0029】 なお、前述した実施例では、結晶を成長させる方法としてMBE法を用いているが、MBE法以外にMOVPE法（有機金属気相成長法）、MOMBE法（有機金属分子線成長法）などを用いることもできる。

【0030】 また、前述した実施例では、電流非注入領域での段差は1個であったが、図7に示されるように複

数の段差を形成すると、光が散乱されるので、さらにFPモードの抑圧に効果がある。

【0031】 さらに、前述の実施例では n 型 GaAs からなる半導体基板の例で説明したが、逆の p 型基板でもよく、また GaAs 以外の InP 、 ZnSe などでもよい。さらに、 $\text{Al}_{1-x}\text{Ga}_x\text{As}$ で Al と Ga の割合を特定値の例で説明したが、その値に限らず、クラッド層では $0.3 \leq x \leq 0.8$ の範囲で、活性層では $0.0 \leq x \leq 0.3$ の範囲で、電流ブロッキング層では $0.0 \leq x \leq 0.3$ の範囲で特性に応じて自由に選定できる。また基板上に積層する半導体層も AlGaAs 層に限らず、 InGaAlP 、 InGaAsP 、 ZnCdSSe などを使用することもできる。

【0032】 また、活性層をアンドープの例で説明したが、 p 型や n 型でもよい。また、ストライプもストライプ溝の例で説明したが、溝以外の構成でもよい。

【0033】 また前述の例では、熱エッチングで電流ブロッキング層のエッチングを完全に行う例で説明したが、熱エッチング工程を行わないばあいは、蒸発防止層6や表面保護層21は不要である。

【0034】

【発明の効果】 以上説明したとおり、本発明のSLDにおいては、非励起領域が有効な光吸収機能をもっているため、該領域は短かくてもよく、その結果、素子のサイズ（長さ）を小さくすることができる。また、電流注入部に有効に電流を注入できるので、小さな電流で、大きな強度のインコヒーレント光を発光させることができる。さらに、電流注入部と光吸収機能をもつ非励起領域をマスク1回の工程だけで作製することができ、その他の工程は変わらないので製造が容易である。

【0035】 また、後端面にも発光させる構造とすることにより、後端面からの光をモニターすることにより、光強度を常に知ることができると共に、ストライプを形成するマスクを正確な位置合わせをしなくても発光端面まで必ずストライプが形成され、製造が容易で、コストダウンに寄与する。

【0036】 その結果、特別の工程を必要とすることなく、性能の良い小型のSLDをうることができる。

【図面の簡単な説明】

【図1】 本発明のSLDの一実施例の説明図である。

【図2】 本発明のSLDの一実施例の製造工程説明図である。

【図3】 本発明のSLDの製造に用いられるマスクの一部分平面図である。

【図4】 本発明のSLDの製造に用いられる他のマスクの部分平面図である。

【図5】 本発明のSLDチップの一実施例の平面説明図である。

【図6】 図5に示されるチップのV1-V1線断面図である。

【図7】複数の段差が形成された半導体基板の断面説明図である。

【図8】従来のSLDの断面説明図である。

【図9】従来のSLDの断面説明図である。

【図10】従来のSLDの断面説明図である。

【符号の説明】

1 半導体基板

2 下部クラッド層

3 活性層

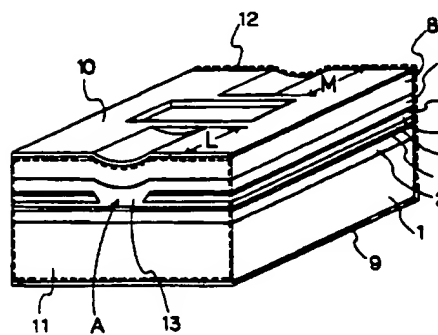
4 上部第1クラッド層

5 電流ブロッキング層

7 上部第2クラッド層

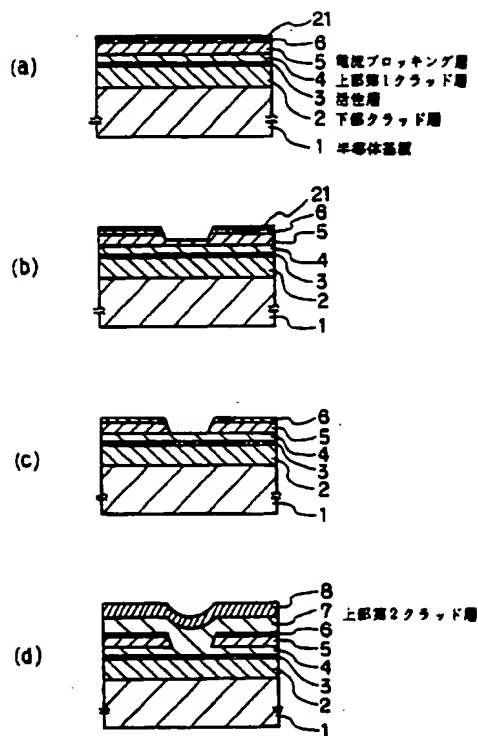
13 電流注入領域

【図1】



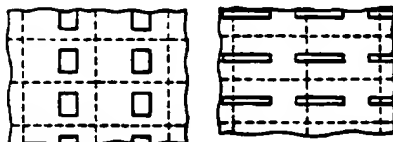
- | | |
|-------------|-------------|
| 1 半導体基板 | 5 電流ブロッキング層 |
| 2 下部クラッド層 | 7 上部第2クラッド層 |
| 3 活性層 | 13 電流注入領域 |
| 4 上部第1クラッド層 | |

【図2】



【図3】

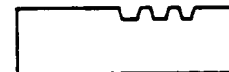
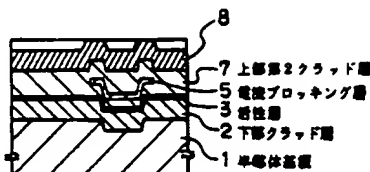
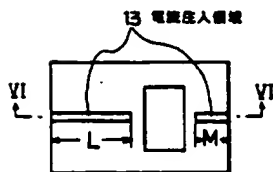
【図4】



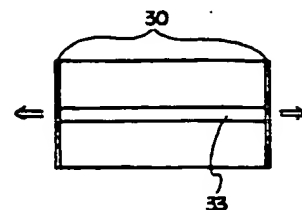
【図5】

【図6】

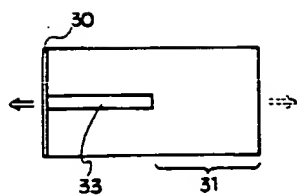
【図7】



【図8】



【図9】



【図10】

